

Zentralübung Rechnerstrukturen

Lösungsblatt 3: Parallelismus auf Befehlsebene

1 Pipelining

- a)
- Ohne Pipelining: Zykluszeit = Summe aller Stufen
 $\text{Zykluszeit} = 250\text{ps} + 100\text{ps} + 130\text{ps} + 200\text{ps} + 50\text{ps} = 730\text{ps}$
 - Mit Pipelining: Zykluszeit = Längste Stufe + Latenz des Pipelineregisters
 $\text{Zykluszeit} = 250\text{ps (IF-Stufe)} + 20\text{ps} = 270\text{ps}$
- b)
- $\text{SpeedUp} = \frac{\text{average exec time old}}{\text{average exec time new}} = \frac{\text{CPI} * \text{CycleTime old}}{\text{CPI} * \text{CycleTime new}} = \frac{1 * 730\text{ps}}{1.2 * 270\text{ps}} \approx 2.25$
- c)
- 1. IF
 - 2. ID + EX
 - 3. MEM + WB
- d)
- Zykluszeit wird von der längsten Stufe bestimmt
 $\Rightarrow$ Aufteilung der längsten Stufe (hier IF-Stufe)
 Die Aufteilung einer anderen Stufe würde zu keiner Reduktion der Zykluszeit führen.

2 Algorithmus von Tomasulo I

a)

#	Instruktion	Issue	Excutes	Writes Result
1	mul r2, r1, r1	1	2	6
2	div r4, r4, r2	2	7	15
3	add r1, r4, r4	3	16	18
4	add r2, r4, r3	4	19	21
5	div r1, r2, r3	7	22	30
6	sub r4, r4, r2	8	22	24
7	add r3, r1, r2	9	31	33
8	mul r1, r2, r3	16	34	38
9	add r3, r3, r3	19	34	36
10	sub r4, r4, r1	22	39	41

3 Algorithmus von Tomasulo II

a)

Befehl		Takt											
		1	2	3	4	5	6	7	8	9	10	11	12
LD.D	F0,0(R1)	IF	ID	IS	M	M	M	WB					
ADD.D	F4,F0,F2	IF	ID					IS	EX	EX	WB		
S.D	0(R1),F4		IF	ID	IS							M/WB	
ADD	R1,R1,#8		IF	ID	IS	EX	WB						
SUB	R3,R1,R2			IF	ID		IS	EX	WB				
BLTZ	R3,LOOP			IF	ID				IS	EX	WB		
LD.D	F0,0(R1)				IF	ID			IS	M	M	M	WB
ADD.D	F4,F0,F2				IF	ID						IS	
S.D	0(R1),F4					IF	ID						IS
ADD	R1,R1,#8					IF	ID				IS	EX	WB
SUB	R3,R1,R2						IF	ID					IS
BLTZ	R3,LOOP						IF	ID					
LD.D	F0,0(R1)							IF	ID				
ADD.D	F4,F0,F2							IF	ID				
S.D	0(R1),F4								IF	ID			
ADD	R1,R1,#8								IF				
SUB	R3,R1,R2									IF	ID		
BLTZ	R3,LOOP									IF	ID		

Befehl		Takt											
		13	14	15	16	17	18	19	20	21	22		
LD.D	F0,0(R1)												
ADD.D	F4,F0,F2												
S.D	0(R1),F4												
ADD	R1,R1,#8												
SUB	R3,R1,R2												
BLTZ	R3,LOOP												
LD.D	F0,0(R1)												
ADD.D	F4,F0,F2	EX	EX	WB									
S.D	0(R1),F4				M/WB								
ADD	R1,R1,#8												
SUB	R3,R1,R2	EX	WB										
BLTZ	R3,LOOP		IS	EX	WB								
LD.D	F0,0(R1)	IS	M	M	M	WB							
ADD.D	F4,F0,F2				IS		EX	EX	WB				
S.D	0(R1),F4					IS				M/WB			
ADD	R1,R1,#8				IS	EX	WB						
SUB	R3,R1,R2						IS	EX	WB				
BLTZ	R3,LOOP								IS	EX	WB		

4 SimpleScalar - sim-outorder

a)

Config		Benchmark		
Int	FP	basicmath	qsort	susan -s
1	1	235,3	52,8	22,8
1	2	235,3	52,8	22,8
1	3	235,3	52,8	22,8
2	1	192,7	35,2	15,6
2	2	192,7	35,2	15,6
2	3	192,7	35,2	15,6
3	1	185,6	32,3	14,9
3	2	185,6	32,2	14,9
3	3	185,6	32,2	14,9

Alle Anwendungen skalieren mit der Anzahl der Integer-ALUs, von daher ist eine Version mit 2 oder 3, sowie mit nur einer FP-ALU zu wählen.

5 VLIW-Prozessoren

a)

Slot 1	Slot 2	Slot 3
add r1, r2, r3	sub r5, r3, r5	ld r11, [r12]
ld r3, [r1]	ld r9, [r7]	add r11, r12, r3
mul r3, r3, r3	mul r11, r11, r9	
st [r5], r3	st [r12], r11	

b)

Slot 1 (ALU)	Slot 2 (ALU)	Slot 3 (L/S)
add r1, r2, r3	sub r5, r3, r5	ld r11, [r12]
add r11, r12, r3		ld r3, [r1]
mul r3, r3, r3		ld r9, [r7]
mul r11, r11, r9		st [r5], r3
		st [r12], r11